

***examen***

# Arquitectura de Computadoras y Microcontroladores 1

# **Parcial 1**

Alumno: [Diego Andre Cuellar Butcher](mailto:dcuellar@unis.edu.gt)

Carrera: Ingeniería electrónica y telecomunicaciones

ID: 15735

Correo: dcuellar@unis.edu.gt

Guatemala

26 de agosto, 2025

A. Diseñe una máquina de estados finitos de algún proceso, maquina, dispositivo, etc. Que demuestre su comprensión de la implementación de las mismas. A continuación, algunos ejemplos:

a. Expendedor de bebidas

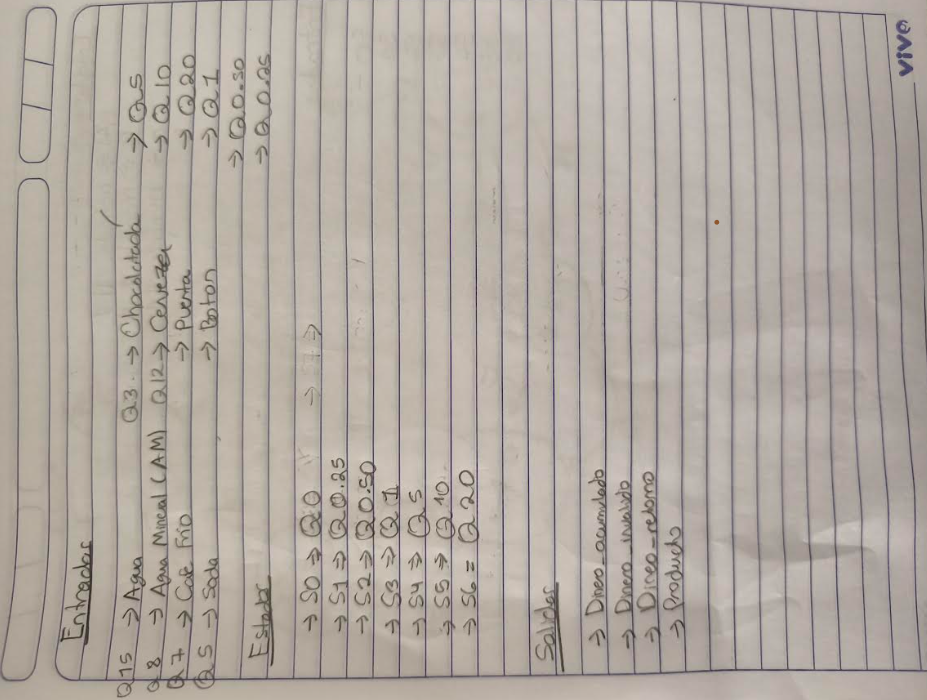
b. Cerradura electrónica con código PIN

c. Transmisión automática de carro

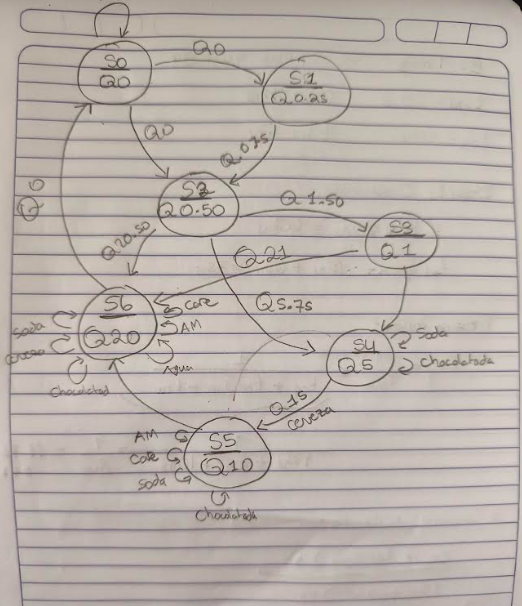
d. Sistema de inspección y rechazo de productos defectuosos

e. Elevador

f. Mecanismo de llenado y sellado de envases g. Juegos con entradas y salidas finitos.

Su máquina deberá ser aprobada. La maquina debe ser lo suficientemente compleja, similar al control washer de sus lecturas, implementando las estrategias vistas en clase. Factorice su FSM y utilice por lo menos una vez la arquitectura Moore y Mealy.

[Tablas\_FSM\_Expendedora Bebidas](https://unistec-my.sharepoint.com/:x:/r/personal/3051662470201_unis_edu_gt/Documents/Tablas_FSM_Expendedora%20Bebidas.xlsx?d=wa6c06c286cc0413481981d8a1402769b&csf=1&web=1&e=F9csq8) ←—- Aqui estan las tablas. Si por alguna razon no los puede ver le mando un excel por aparte.



B. Timing Analysis

De la máquina de estados finitos propuesta por usted (Inciso anterior), realice el Timing Analysis utilizando compuertas lógicas y flip-flops reales. Muestre los cálculos, deducción, procedimiento, etc. Para mostrar el cálculo de:

· Máxima frecuencia de operación de su circuito

· Cumplimiento de restricción hold

Realice este cálculo entre la lógica (output logic 1st stage + next logic 2nd stage) de las dos máquinas de estado finito.